

Control circuit for drawing semiconductor switch

Patent number: DE19725837
Publication date: 1998-12-24
Inventor: FELDTKELLER MARTIN DIPL ING (DE)
Applicant: SIEMENS AG (DE)
Classification:
- **international:** H03K17/16; H03K17/687
- **european:** H03K17/16B2B
Application number: DE19971025837 19970618
Priority number(s): DE19971025837 19970618

Abstract of DE19725837

The control circuit has supply and reference voltage terminals and an output terminal (AK) providing an output voltage (UA) which varies between high and low voltage levels in dependence on a signal supplied to an input terminal (EK). The voltage gradient of the output voltage between the low and high voltage levels is reduced within a voltage interval defined between lower and upper limits, relative to the voltage gradient outside this interval.

Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 25 837 A 1**

⑤1 Int. Cl.⁶:
H 03 K 17/16
H 03 K 17/687

②1 Aktenzeichen: 197 25 837.9
②2 Anmeldetag: 18. 6. 97
④3 Offenlegungstag: 24. 12. 98

DE 197 25 837 A 1

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Feldtkeller, Martin, Dipl.-Ing., 81543 München, DE

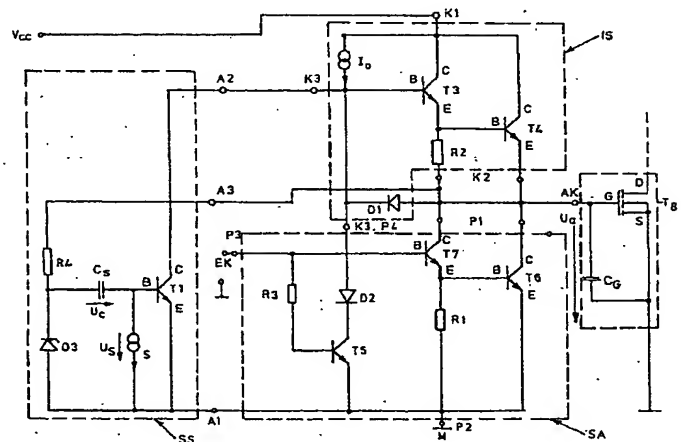
⑤6 Entgegenhaltungen:
DE 41 31 783 C1
DE 43 30 996 A1
US 48 80 997

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren und Vorrichtung zur Ansteuerung eines Halbleiterschalters

⑤7 Ansteuerschaltung zur Ansteuerung eines Halbleiterschalters (T8) mit einem Versorgungsanschluß für Versorgungspotential (V_{CC}), einem Bezugspotentialanschluß für Bezugspotential (M) und einer Ausgangsklemme (AK), an der eine Ausgangsspannung (U_A) gegen Bezugspotential (M) abgreifbar ist, die abhängig von einem an einer Eingangsklemme (EK) anliegenden Signal zwischen einem unteren Spannungspegel (L) und einem oberen Spannungspegel (H) variiert, wobei durch die Ansteuerschaltung ein Spannungsanstieg der Ausgangsspannung (U_A) von dem unteren Spannungspegel (L) zu dem oberen Spannungspegel (H) innerhalb wenigstens eines unteren und oberen Intervallgrenze aufweisenden Spannungsintervalls verlangsamt gegenüber dem Spannungsanstieg unterhalb und oberhalb dieser Intervallgrenzen durchführbar ist.



DE 197 25 837 A 1

Die vorliegende Erfindung betrifft eine Ansteuerschaltung zur Ansteuerung eines Halbleiterschalters mit einem Versorgungsanschluß für Versorgungspotential, einem Bezugspotentialanschluß für Bezugspotential und einer Ausgangsklemme, an der eine Ausgangsspannung gegen Bezugspotential abgreifbar ist, die abhängig von einem an einer Eingangsklemme anliegenden Signal zwischen einem unteren Spannungspegel und einem oberen Spannungspegel variiert.

Derartige Ansteuerschaltungen finden Anwendung in nahezu allen Bereichen, in welchen Halbleiterschalter zum Durchführen elektrischer Schaltvorgänge verwendet werden, so z. B. in Schaltnetzteilen oder zum Ein- und Ausschalten elektrischer Verbraucher, wie Motoren. Als Halbleiterschalter werden üblicherweise Feldeffekttransistoren (FET), insbesondere Leistungs-MOS-FETs, verwendet. Diese sind zur Ansteuerung üblicherweise mit einer Gate-Elektrode an eine Ausgangsklemme einer Ansteuerschaltung und mit einer Source-Elektrode an Bezugspotential angeschlossen, so daß die von der Ansteuerschaltung gelieferte Ausgangsspannung als Steuerspannung für den FET dient. Die zu schaltenden Verbraucher sind in bekannter Weise über eine zwischen einer Drain-Elektrode und der Source-Elektrode des FET befindliche Laststrecke an eine Versorgungsspannung anschließbar.

Die Ausgangsspannung der Ansteuerschaltung zur Ansteuerung von FETs in deren Funktion als Halbleiterschalter ist so gewählt, daß die Laststrecke des FET bei Anliegen des unteren Spannungspegels an der Ausgangsklemme sehr hochohmig ist und der FET "sperrt", während die Laststrecke bei Anliegen des oberen Spannungspegels an der Ausgangsklemme sehr niederohmig ist und der FET "leitet".

Um Verluste beim Schalten des FET möglichst gering zu halten, muß eine Änderung der Ausgangsspannung von dem unteren Spannungspegel zu dem oberen Spannungspegel und umgekehrt möglichst schnell erfolgen. Dieser Spannungsanstieg bzw. Spannungsabfall ist im wesentlichen durch eine zwischen der Gate- und Source-Elektrode des FET befindlichen Gate-Kapazität, die bei jedem Schaltvorgang geladen bzw. entladen werden muß, und durch den über die Ausgangsklemme zum Auf- bzw. Entladen der Gate-Kapazität fließenden Strom bestimmt. Bei sehr schnellen Schaltvorgängen, die im Mikro- bis Nanosekundenbereich liegen, entstehen jedoch Probleme durch elektromagnetische Abstrahlung, wobei die Bandbreite abgestrahlter Signale über 100 MHz betragen kann. Um dies zu vermeiden, ist eine Verlangsamung der Schaltvorgänge notwendig, was der oben erwähnten Forderung nach geringen Verlusten widerspricht.

Zur kontrollierten Verlangsamung der Schaltvorgänge ist bei bekannten Lösungen vorgesehen, einen Widerstand zwischen die Ausgangsklemme und die Gate-Elektrode des FET zu schalten, um so den von der Ausgangsklemme auf die Gate-Kapazität fließenden Strom zu reduzieren und den Spannungsanstieg zu verlangsamen. Aus einer derartigen Verlangsamung des Spannungsanstiegs resultieren jedoch erhöhte Schaltverluste, die zudem abhängig von der Steuerspannung variieren.

Ziel der vorliegenden Erfindung ist es daher, eine Ansteuerschaltung zur Ansteuerung von Halbleiterschaltern zur Verfügung zu stellen, die bei verringerter Bandbreite der elektromagnetischen Abstrahlung gleichzeitig geringe Schaltverluste bewirkt.

Dieses Ziel wird bei der eingangs beschriebenen Ansteuerschaltung dadurch erreicht, daß ein Spannungsanstieg der Ausgangsspannung von dem unteren Spannungspegel zu

dem oberen Spannungspegel innerhalb wenigstens eines eine untere und obere Intervallgrenze aufweisenden Spannungsintervalls verlangsamt gegenüber dem Spannungsanstieg unterhalb und oberhalb dieser Intervallgrenzen durchführbar ist.

Die Bandbreite der elektromagnetisch abgestrahlten Signale ist bei dieser Ansteuerschaltung durch Verlangsamung des Spannungsanstiegs von dem unteren Spannungspegel zum oberen Spannungspegel innerhalb vorgegebener Intervallgrenzen verringert. Weiterhin besteht die Möglichkeit, die als Steuerspannung des FET dienende Ausgangsspannung in den Steuerspannungsbereichen schnell ansteigen zu lassen, in welchen die von der Steuerspannung abhängigen Schaltverluste besonders hoch sind.

Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der Unteransprüche.

Nach einer vorteilhaften Ausgestaltung der Erfindung erfolgt der Spannungsanstieg von dem unteren Spannungspegel zu dem oberen Spannungspegel in drei Spannungsintervallen, wobei der Spannungsanstieg innerhalb des zweiten Spannungsintervalls verlangsamt gegenüber dem Spannungsanstieg in dem ersten und dritten Spannungsintervall erfolgt. Die untere Intervallgrenze des ersten Spannungsintervalls ist hierbei durch den unteren Spannungspegel gegeben, während die obere Intervallgrenze des dritten Spannungsintervalls durch den oberen Spannungspegel gegeben ist. Diese Ausführungsform der Erfindung wird vorzugsweise dann eingesetzt, wenn es neben einer Verringerung der Bandbreite der elektromagnetisch abgestrahlten Signale auch auf ein langsames Ansteigen des über die Laststrecke des FET fließenden Stroms bei möglichst geringer Gesamtschaltzeit ankommt. Ist die obere Intervallgrenze des ersten Spannungsintervalls bzw. die untere Intervallgrenze des zweiten Spannungsintervalls gleich der Schwellenspannung des FET gewählt, bis zu welcher der FET ohnehin sperrt, so kann ein Spannungsanstieg innerhalb dieses Intervalls sehr schnell erfolgen, während der Spannungsanstieg innerhalb des zweiten Spannungsintervalls, innerhalb welchem der Laststrom des FET ansteigt, langsamer erfolgt. Die obere Intervallgrenze des zweiten Spannungsintervalls ist hierbei vorteilhafterweise so gewählt, daß bei weiterer Erhöhung der Steuerspannung über die obere Intervallgrenze des zweiten Spannungsintervalls hinaus kein Ansteigen des Laststroms mehr erfolgt. Der Spannungsanstieg von der oberen Intervallgrenze des zweiten Spannungsintervalls bzw. der unteren Intervallgrenze des dritten Spannungsintervalls bis zu der oberen Intervallgrenze des dritten Spannungsintervalls kann daher sehr schnell erfolgen. Somit bildet diese Ausführungsform der Erfindung einen Kompromiß zwischen Minimierung der Gesamtschaltzeit und Minimierung der Belastung der zu schaltenden Verbraucher.

Nach einer bevorzugten Ausführungsform der Erfindung ist die Ansteuerschaltung modular aus folgenden Einheiten aufgebaut:

- einer Stromquellenschaltung, die mit einer ersten Klemme mit dem Versorgungsanschluß und mit einer zweiten Klemme mit der Ausgangsklemme verbunden ist und die weiterhin eine dritte Klemme aufweist;
- eine Schalteranordnung, die mit einer ersten Klemme mit der Ausgangsklemme, mit einer zweiten Klemme mit dem Bezugspotentialanschluß und mit einer dritten Klemme mit der Eingangsklemme verbunden ist;
- eine Steuerschaltung, die mit einer ersten Klemme mit dem Bezugspotentialanschluß und mit einer zweiten Klemme mit der dritten Klemme der Stromquellenschaltung verbunden ist.

Die Stromquellschaltung, die wenigstens über die Ausgangsklemme mit der Schalteranordnung verbunden ist, liefert den über die Ausgangsklemme auf die Gate-Kapazität des FET fließenden Strom, der zu einem Spannungsanstieg der Ausgangsspannung erforderlich ist. Abhängig von einem an der Eingangsklemme der Schalteranordnung anliegenden Signal sperrt die Schalteranordnung eine Verbindung zwischen der Stromquellschaltung und dem Bezugspotential; ein von der Stromquellschaltung gelieferter Strom fließt dann über die Ausgangsklemme auf die Gate-Kapazität. Im anderen Fall besteht eine elektrische Verbindung über die Schalteranordnung zwischen der Stromquellschaltung und dem Bezugspotential; ein von der Stromquellschaltung gelieferter Strom fließt dann über die Schalteranordnung nach Bezugspotential.

Die Steuerschaltung, die mit ihrer ersten Klemme mit der dritten Klemme der Stromquellschaltung verbunden ist, steuert im Fall einer sperrenden Schalteranordnung den von der Stromquellschaltung an die Ausgangsklemme fließenden Strom abhängig von der Ausgangsspannung.

Die in der Steuerschaltung hierzu benötigte Information über die Ausgangsspannung kann der Steuerschaltung entweder direkt durch Verbinden einer dritten Klemme der Steuerschaltung mit der Ausgangsklemme oder indirekt über die dritte Klemme der Stromquellschaltung und die zweite Klemme der Steuerschaltung zugeführt werden.

Die Erfindung betrifft ferner ein Verfahren zur Ansteuerung eines Halbleiterschalters mit einer durch eine Ansteuerschaltung erzeugten Ausgangsspannung, die zwischen einem oberen und einem unteren Signalpegel variiert, wobei ein Spannungsanstieg der Ausgangsspannung von dem unteren Spannungspegel zu dem oberen Spannungspegel innerhalb wenigstens eines einer unteren und oberen Intervallgrenze aufweisenden Spannungsintervalls verlangsamt gegenüber dem Spannungsanstieg unterhalb und oberhalb dieser Intervallgrenzen erfolgt.

Bevorzugterweise ist die untere Intervallgrenze des wenigstens einen Spannungsintervalls eine Schwellenspannung eines Feldeffekttransistors.

Weitere vorteilhafte Ausgestaltungen der Ansteuerschaltung sowie deren Funktionsweise werden nachfolgend anhand von Figuren näher erläutert. Es zeigen:

Fig. 1 Ansteuerschaltung nach einer ersten Ausführungsform der Erfindung,

Fig. 2 Ansteuerschaltung nach einer zweiten Ausführungsform der Erfindung,

Fig. 3 Ausgangsspannungs-Zeit-Diagramm bei intervallmäßigem Anstieg der Ausgangsspannung im Vergleich zu Steuerspannung-Laststreckenstrom-Diagramm,

Fig. 4 Anwendungsbeispiel der erfindungsgemäßen Ansteuerschaltung.

In Fig. 1 ist eine erste Ausführungsform der erfindungsgemäßen Ansteuerschaltung im Schaltbild dargestellt. Die Ansteuerschaltung ist zwischen einem Versorgungsanschluß für Versorgungspotential V_{CC} und einem Bezugspotentialanschluß für Bezugspotential M verschaltet. Sie verfügt über eine Eingangsklemme EK zum Anlegen eines Eingangssignals und über eine Ausgangsklemme AK zur Ansteuerung eines Halbleiterschalters. Als Halbleiterschalter ist in Fig. 1 ein Feldeffekttransistor T8 dargestellt, der mit einer Gate-Elektrode G mit der Ausgangsklemme und mit einer Source-Elektrode S mit Bezugspotential M verbunden ist. Zwischen der Gate- und Source-Elektrode G, S des FET T8 ist in Fig. 1 eine in jedem FET vorhandene Gate-Kapazität C_G eingezeichnet. Auf die Darstellung von Verbrauchern, welche über eine zwischen der Source-Elektrode S und einer Drain-Elektrode D des FET T8 befindliche Laststrecke

geschaltet werden, ist in dem dargestellten Ausführungsbeispiel verzichtet.

Die dargestellte Ansteuerschaltung besteht aus einer Stromquellschaltung IS, einer Schalteranordnung SA und einer Steuerschaltung SS. Die Ansteuerschaltung wird im folgenden ohne Beschränkung der Allgemeinheit unter Verwendung von npn-Bipolartransistoren erläutert, die je nach Anwendung und/oder zur Verfügung stehender Technologie vollständig oder teilweise durch andere Transistoren, wie Feldeffekttransistoren, ersetzt werden können. Die im folgenden zur Beschreibung der Transistoren verwendeten Begriffe Basis(elektrode), Kollektor(elektrode) und Emitter(elektrode), die den allgemeineren Begriffen Steuerelektrode, erste und zweite Elektrode entsprechen, sind bei der Verwendung von Feldeffekttransistoren durch Gate(elektrode), Drain(elektrode) und Source(elektrode) zu ersetzen.

Die dargestellte Stromquellschaltung IS ist über eine erste Klemme K1 mit dem Versorgungsanschluß für Versorgungspotential V_{CC} und über eine zweite Klemme K2 mit der Ausgangsklemme AK der Ansteuerschaltung verbunden. Die Stromquellschaltung IS weist einen dritten Transistor T3 auf, der mit einer Kollektor-Elektrode C mit der ersten Klemme K1 und mit einer Emitter-Elektrode E über einen zweiten Widerstand R2 mit der zweiten Klemme K2 verbunden ist. Ein vierter Transistor T4 ist mit einer Kollektor-Elektrode C an die erste Klemme K1, mit einer Emitter-Elektrode E an die zweite Klemme K2 und mit einer Basis-Elektrode B an die Emitter-Elektrode E des dritten Transistors T3 angeschlossen. Die Stromquellschaltung IS verfügt ferner über eine dritte Klemme K3, die mit einer Basis-Elektrode B des dritten Transistors T3 verbunden ist. Zwischen der ersten Klemme K1 und der dritten Klemme K3 ist eine Stromquelle I_0 geschaltet. Eine erste Diode D1 befindet sich zwischen der dritten Klemme K3 und der zweiten Klemme K2.

Die dargestellte Schalteranordnung SA ist mit einer ersten Klemme P1 mit der zweiten Klemme K2 der Stromquellschaltung IS und damit mit der Ausgangsklemme AK verbunden. Eine zweite Klemme P2 der Schalteranordnung SA ist an den Bezugspotentialanschluß für Bezugspotential M und eine dritte Klemme P3 an die Eingangsklemme EK der Ansteuerschaltung angeschlossen. Die Schalteranordnung SA verfügt weiterhin über eine vierte Klemme P4, die an die dritte Klemme K3 der Stromquellschaltung IS angeschlossen ist. Ein siebter Transistor T7 ist mit einer Kollektor-Elektrode C mit der ersten Klemme P1 und mit einer Emitter-Elektrode E über einen ersten Widerstand R1 mit der zweiten Klemme P2 verbunden. Ein sechster Transistor T6 ist mit einer Kollektor-Elektrode C an die erste Klemme P1 und mit einer Emitter-Elektrode E an die zweite Klemme P2 sowie mit einer Basis-Elektrode B an die Emitter-Elektrode E des siebten Transistors T7 angeschlossen. Eine Basis-Elektrode B des siebten Transistors T7 ist an die dritte Klemme P3 angeschlossen, die weiterhin über einen dritten Widerstand R3 mit einer Basis-Elektrode B eines fünften Transistors T5 verbunden ist. Der fünfte Transistor T5 liegt mit einer Emitter-Elektrode an der zweiten Klemme P2 und ist über eine zweite Diode D2 mit der vierten Klemme P4 verbunden.

Unter Vernachlässigung der in Fig. 1 dargestellten Steuerschaltung SS wird zum besseren Verständnis im folgenden kurz die Funktionsweise einer lediglich aus Stromquellschaltung IS und Schalteranordnung SA bestehenden Ansteuerschaltung beschrieben. Es sei angenommen, daß an der Eingangsklemme EK ein Rechtecksignal gegen Bezugspotential M anlegbar ist, welches zwischen einem ersten Signalpegel und einem zweiten Signalpegel variiert, wobei sich in eingeschwungenem Zustand bei Anliegen des ersten

Signalpegels an der Eingangsklemme EK eine zwischen der Ausgangsklemme AK und Bezugspotential M ergebende Ausgangsspannung U_a auf einem oberen Signalpegel befindet, während sich bei Anliegen des zweiten Signalpegels an der Eingangsklemme EK die Ausgangsspannung U_a in eingeschwungenem Zustand auf einem unteren Signalpegel befindet.

Der erste Signalpegel ist so gewählt, daß der fünfte Transistor T5 sperrt, damit sperren auch der sechste und siebte Transistor T6, T7. Die Basiselektrode B des dritten Transistors T3 liegt annähernd auf Versorgungspotential V_{CC} , der dritte Transistor T3 leitet, damit leitet auch der vierte Transistor T4. Die Ausgangsspannung U_a beträgt annähernd Versorgungspotential V_{CC} abzüglich der Basis-Emitterspannung des dritten und vierten Transistors T3, T4, unter der Annahme, daß als Bezugspotential M Masse angenommen ist. Der Spannungsanstieg der Ausgangsspannung U_a bei Anliegen des ersten Signalpegels an der Eingangsklemme EK wird bei zuvor entladener Kapazität im wesentlichen bestimmt durch den über die Transistoren T3, T4 an die Ausgangsklemme AK zum Aufladen der Gatekapazität C_G fließenden Strom.

Bei Anliegen eines zweiten Signalpegels, der größer als der erste Signalpegel ist, an der Eingangsklemme EK leiten die fünften, sechsten und siebten Transistoren T5, T6, T7. Der von der Stromquelle I_0 gelieferte Strom fließt über die zweite Diode D2 und die Laststrecke des fünften Transistors T5 nach Bezugspotential M. Der dritte und vierte Transistor T3, T4 sperren. Die Ausgangsspannung U_a in eingeschwungenem Zustand ergibt sich aus der über der Laststrecke C-E des leitenden sechsten Transistors T6 anliegenden Spannung. Diese beträgt bei Bipolartransistoren ca. 0,2 V. Befindet sich die Ausgangsspannung U_a vor Anliegen des zweiten Signalpegels an der Eingangsklemme EK auf dem oberen Spannungspegel, so wird die Gatekapazität C_G bei Anliegen des zweiten Signalpegels über den sechsten Transistor T6 nach Bezugspotential M entladen, bis die Ausgangsspannung U_a den unteren Spannungspegel erreicht.

Aufgabe der in Fig. 1 dargestellten Steuerschaltung SS ist es, bei einem Wechsel des Eingangssignals von dem zweiten Signalpegel zu dem ersten Signalpegel abhängig von der Ausgangsspannung U_a den aus der Stromquellschaltung IS an die Ausgangsklemme AK fließenden Strom zu steuern, um so den Spannungsanstieg der Ausgangsspannung U_a zu beeinflussen.

Die dargestellte Steuerschaltung SS verfügt über eine mit dem Bezugspotentialanschluß verbundene erste Klemme A1 und über eine mit der dritten Klemme K3 der Stromquellschaltung IS verbundene zweite Klemme A2. Die benötigte Information über die Ausgangsspannung U_a wird der Steuerschaltung SS in dem dargestellten Beispiel direkt über eine dritte Klemme A3 zugeführt, die mit der Ausgangsklemme AK verbunden ist.

Die Steuerschaltung SS weist einen ersten Transistor T1, einen Kondensator C, einen vierten Widerstand R4, eine Zenerdiode D3 sowie eine Stromsenke, die in dem dargestellten Beispiel als Stromquelle S ausgeführt ist, auf. Eine Laststrecke C-E des ersten Transistors T1 ist zwischen der ersten und zweiten Klemme A1, A2 der Steuerschaltung SS verschaltet. Eine Basiselektrode B ist über die Stromsenke S an die erste Klemme A1 und über den Kondensator C und den vierten Widerstand R4 an die dritte Klemme A3 angeschlossen. Zwischen der ersten Klemme A1 und einem dem vierten Widerstand R4 und dem Kondensator C gemeinsamen Knoten ist die Zenerdiode D3 verbunden, wobei deren Anode an die erste Klemme A1 angeschlossen ist.

Die Funktionsweise der so dargestellten Ansteuerschaltung ergibt sich wie folgt:

Bei Anlegen eines unteren Signalpegels an die Eingangsklemme EK sperren der fünfte, sechste und siebte Transistor T5, T6, T7. Der von der Stromquelle I_0 der Stromquellschaltung IS gelieferte Strom fließt als Basisstrom in den dritten Transistor T3; der dritte Transistor T3 leitet. Durch einen über die Laststrecke C-E des dritten Transistors fließenden Strom wird an dem zweiten Widerstand R2 ein Spannungsabfall hervorgerufen, wodurch auch der vierte Transistor T4 leitet. Die Basisströme des dritten und vierten Transistors T3, T4 sind vernachlässigbar gegenüber den über deren Laststrecken C-E fließenden Ströme. Die Gatekapazität C_G des FET T8 wird daher im wesentlichen durch die über die Laststrecken C-E dieser beiden Transistoren T3, T4 fließenden Ströme aufgeladen.

Die Ausgangsspannung U_a , die auch über dem Pfad bestehend aus viertem Widerstand R4, Kapazität C und Stromsenke S anliegt, steigt solange schnell an, bis eine Basis-Emitterspannung des ersten Transistors T1 einen Schwellwert erreicht, ab welchem dieser leitet; dieser Schwellwert beträgt bei Bipolartransistoren ca. 0,7 V. Ein Teil des von der Stromquelle I_0 der Stromquellschaltung IS gelieferten Stroms fließt nun über die Laststrecke C-E des ersten Transistors T1 nach Bezugspotential M. Eine Verringerung des Basisstroms des dritten Transistors T3 bewirkt eine Verringerung des über dessen Laststrecke C-E fließenden Laststroms, woraus ein Absinken des Basispotentials des vierten Transistors T4 resultiert, über dessen Laststrecke C-E nun auch ein verringerter Laststrom fließt. Damit verringert sich der über die Ausgangsklemme AK auf die Gatekapazität C_G fließende Strom, woraus ein verlangsamter Spannungsanstieg der Ausgangsspannung U_a resultiert.

Der erste Transistor T1 bleibt solange leitend, bis die Summe der Spannungen U_C , U_S über dem Kondensator C und der Stromsenke S den Wert der Zenerspannung der Zenerdiode D3 erreicht. Die Kapazität C wird über die Stromsenke S weiter aufgeladen, während die Summe der Spannung U_C , U_S auf die Zenerspannung begrenzt bleibt. Damit sinkt das Basispotential des ersten Transistors T1 ab; der erste Transistor T1 sperrt. Der gesamte von der Stromquelle I_0 der Stromquellschaltung IS gelieferte Strom fließt nun wieder in den dritten Transistor T3, über dessen Laststrecke C-E ein erhöhter Laststrom fließt, wodurch auch der Spannungsabfall an dem zweiten Widerstand R2 steigt und über die Laststrecke C-E des vierten Transistors T4 ebenfalls ein erhöhter Laststrom fließt. Die Gatekapazität C_G wird damit wieder mit einem höheren Strom geladen, woraus ein entsprechend schnellerer Spannungsanstieg der Ausgangsspannung U_a resultiert.

Der sich aus dieser Ansteuerschaltung ergebende Spannungsanstieg der Ausgangsspannung U_a bei Anlegen eines unteren Signalpegels nach vorherigem Anliegen eines oberen Signalpegels an die Eingangsklemme EK ist in Fig. 3a über der Zeit aufgetragen. Hieraus wird ersichtlich, daß der Spannungsanstieg in drei Spannungsintervallen erfolgt, wobei die minimal anliegende Ausgangsspannung L in dem in Fig. 1 dargestellten Ausführungsbeispiel bei Verwendung von npn-Bipolartransistoren ca. 0,2 V beträgt, während die maximale Ausgangsspannung H für die in Fig. 1 und 2 dargestellten Beispiele ca. $V_{CC}-1,4$ V beträgt. Die obere Intervallgrenze des ersten Spannungsintervalls bzw. die untere Intervallgrenze des zweiten Spannungsintervalls ist in Fig. 3 mit U_1 bezeichnet. Sie ist bestimmt durch den Wert der Ausgangsspannung U_a , ab welcher der erste Transistor T1 leitet. Die obere Intervallgrenze des zweiten Spannungsintervalls bzw. die untere Intervallgrenze des dritten Spannungsintervalls ist gegeben durch die Ausgangsspannung, ab welcher über dem Kondensator C und der Stromsenke S der Steuerschaltung SS die Zenerspannung der Zenerdiode D3 erreicht

ist. Wie aus Fig. 3a ersichtlich, erfolgt der Spannungsanstieg in dem ersten und dritten Spannungsintervall annähernd gleich schnell.

In Fig. 3b ist die Steuerspannung U_{GS} eines FET über dessen Laststrom I_D aufgetragen. Hieraus wird deutlich, daß der Laststrom I_D ab einer Schwellenspannung U_{TH} ansteigt, bis er bei einer maximalen Steuerspannung U_{MAX} einen von einem Laststrom abhängigen maximalen Stromwert erreicht. Eine weitere Erhöhung der Steuerspannung U_{GS} über den Wert U_{MAX} bewirkt keine weitere Erhöhung des Laststroms I_D . Sollen über einen an die erfindungsgemäße Ansteuerschaltung angeschlossenen FET T8 Verbraucher geschaltet werden, an welchen ein möglichst langsamer Stromanstieg beim Einschalten erforderlich ist, so ist die untere Intervallgrenze U_1 des zweiten Spannungsintervalls vorzugsweise gleich der Schwellenspannung U_{TH} zu wählen, während die obere Intervallgrenze U_2 des zweiten Spannungsintervalls vorzugsweise als maximale Steuerspannung U_{MAX} zu wählen ist.

In Fig. 2 ist eine weitere bevorzugte Ausführungsform der erfindungsgemäßen Ansteuerschaltung dargestellt. Die dort dargestellte Steuerschaltung SS unterscheidet sich von der in Fig. 1 dargestellten im wesentlichen durch einen zweiten Transistor T2, der mit einer Basis Elektrode B mit der zweiten Klemme A2 verbunden ist, und den vierten Widerstand R4 über eine Laststrecke C-E mit Versorgungspotential V_{CC} verbindet. Die Funktionsweise der in Fig. 2 dargestellten Ansteuerschaltung gleicht der Funktionsweise der in Fig. 1 dargestellten Ansteuerschaltung, wobei bei der in Fig. 2 dargestellten keine direkte Verbindung zwischen der Ausgangsklemme AK und der Steuerschaltung SS erforderlich ist. Unter Vernachlässigung eines in Fig. 2 dargestellten fünften Widerstand R5, dessen Funktion nachfolgend erläutert wird, ergibt sich die Funktionsweise der in Fig. 2 dargestellten Ansteuerschaltung wie folgt:

Sperren der fünfte, sechste und siebte Transistor T5, T6, T7 so liegen die Basispotentiale des zweiten und dritten Transistors T2, T3 annähernd auf Versorgungspotential V_{CC} . Der zweite Transistor T2 beginnt, wie der dritte Transistor T3, zu leiten. Die Spannung über dem vierten Widerstand R4, der Kapazität C und der Stromsenke S steigt. Erreicht das Basispotential des ersten Transistors T1 den Schwellenwert, ab welchem dieser zu leiten beginnt, so fließt ein Teil des von der Stromquelle I_0 der Stromquellschaltung IS gelieferten Stromes über die Laststrecke C-E des ersten Transistors T1 nach Bezugspotential. Die Lastströme des dritten und vierten Transistors T3, T4 reduzieren sich wie oben beschrieben und der Spannungsanstieg der Ausgangsspannung U_a verlangsamt sich, bis die Summe der Spannungen U_C , U_S über der Kapazität C und der Stromsenke S den Wert der Zenerspannung der dritten Diode D3 erreicht. Daraufhin sperrt der erste Transistor T1 wieder, die Lastströme des dritten und vierten Transistors T3, T4 erhöhen sich wie oben beschrieben und der Spannungsanstieg der Ausgangsspannung U_a verläuft schneller.

Der in Fig. 2 dargestellte fünfte Widerstand R5, der zwischen einer Klemme des vierten Transistors T4 und einer mit der Ausgangsklemme AK verbundenen dritten Klemme A3 verbunden ist, dient lediglich dazu, die Kapazität C über die Laststrecke C-E des sechsten Transistors T6 nach Bezugspotential M zu entladen, wenn der sechste Transistor T6 bei nachfolgendem Anlegen des zweiten Signalpegels an der Eingangsklemme EK leitet.

Da bei der in Fig. 2 dargestellten Ausführungsform der Ansteuerschaltung keine direkte Verbindung zwischen der Ausgangsklemme AK und der Steuerschaltung SS erforderlich ist, können bei dieser im Gegensatz zu der in Fig. 1 dargestellten Ansteuerschaltung Schwingungseffekte bei Ver-

langsamung des Spannungsanstiegs im zweiten Spannungsintervall vermieden werden.

Eine in Fig. 2 zwischen der ersten Klemme A1 und der zweiten Klemme A2 der Steuerschaltung eingezeichnete zweite Zenerdiode D4 dient zur Begrenzung der Ausgangsspannung U_a bei wechselndem Versorgungspotential V_{CC} .

Der Kern der Steuerschaltung SS durch den ersten Transistor T1, die Zenerdiode D3, die Kapazität C, den vierten Widerstand R4 und die Stromsenke S, die auch als Widerstand ausgebildet sein kann, gebildet. Eine Abhängigkeit der über dem Widerstand R4, der Kapazität C und der Stromsenke S anliegenden Spannung von der Ausgangsspannung U_a kann auf unterschiedliche Weise, wie in den beiden Ausführungsbeispielen beispielhaft dargestellt, erreicht werden.

In Fig. 4 ist ein bevorzugtes Anwendungsbeispiel einer erfindungsgemäßen Ansteuerschaltung ASS dargestellt. Fig. 4 zeigt ein vereinfachtes Schaltbild eines Schaltnetztes mit einem Wechsellspannungsanschluß U_w , einem Brückengleichrichter BG, einer Induktivität L_N , einer Diode D_N , einer Kapazität C_N , einer Last R_N sowie einem Halbleiterschalter T8. Bei geschlossenem Halbleiterschalter T8 wird Energie in die Induktivität L_N gespeichert, die in Form von Strom bei geöffneten Halbleiterschalter T8 über die Diode D_N auf die Kapazität C_N fließt. Bei Ansteuerung des Halbleiterschalters T8 mit der erfindungsgemäßen Ansteuerschaltung ASS besteht die Möglichkeit, bei Schließen des Halbleiterschalters T8 den über dessen Laststrecke fließenden Laststrom langsam zu steigern, so daß insbesondere die Diode D_N nicht abrupt stromlos geschaltet wird, was sich positiv auf deren Lebensdauer auswirkt.

Hierin besteht ein weiterer Vorteil der erfindungsgemäßen Ansteuerschaltung ASS neben einer Verringerung der Frequenzbandbreite der elektromagnetisch abgestrahlten Signale.

Bezugszeichenliste

ASS	Ansteuerschaltung
V_{CC}	Versorgungspotential
M	Bezugspotential
IS	Stromquellschaltung
SA	Schalteranordnung
SS	Steuerschaltung
K1-K3	Klemmen der Stromquellschaltung
P1-P4	Klemmen der Schalteranordnung
A1-A3	Klemmen der Steuerschaltung
R1-R5	Widerstände
T1-T7	Transistoren
T8	FET
I_0	Stromquelle
D1, D2	Dioden
D3, D4	Zenerdiode
EK	Eingangsklemme
AK	Ausgangsklemme
U_a	Ausgangsspannung
C_G	Gatekapazität des FET
S	Stromsenke

Patentansprüche

1. Ansteuerschaltung zur Ansteuerung eines Halbleiterschalters (T8), mit einem Versorgungsanschluß für Versorgungspotential (V_{CC}), einem Bezugspotentialanschluß für Bezugspotential (M) und einer Ausgangsklemme (AK), an der eine Ausgangsspannung (U_a) gegen Bezugspotential (M) abgreifbar ist, die abhängig von einem an einer Eingangsklemme (EK) anliegenden Signal zwischen einem unteren Spannungspegel (L)

und einem oberen Spannungspegel (H) variiert, dadurch gekennzeichnet, daß durch die Ansteuerschaltung ein Spannungsanstieg der Ausgangsspannung (U_a) von dem unteren Spannungspegel (L) zu dem oberen Spannungspegel (H) innerhalb wenigstens eines einer unteren und oberen Intervallgrenze aufweisenden Spannungsintervalls verlangsamt gegenüber dem Spannungsanstieg unterhalb und oberhalb dieser Intervallgrenzen durchführbar ist.

2. Ansteuerschaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Spannungsanstieg in drei Spannungsintervallen durchführbar ist (L-U1, U1-U2, U2-H).

3. Ansteuerschaltung nach Anspruch 1 oder 2, gekennzeichnet durch folgende weitere Merkmale:

- eine Stromquellenschaltung (IS), die mit einer ersten Klemme (K1) mit dem Versorgungsanschluß und mit einer zweiten Klemme (K2) mit der Ausgangsklemme (AK) verbunden ist und die weiterhin eine dritte Klemme (K3) aufweist;
- eine Schalteranordnung (SA), die mit einer ersten Klemme (P1) mit der Ausgangsklemme (AK), mit einer zweiten Klemme (P2) mit dem Bezugspotentialanschluß und mit einer dritten Klemme (P3) mit der Eingangsklemme (EK) verbunden ist;
- eine Steuerschaltung (SS), die mit einer ersten Klemme (A1) mit dem Bezugspotentialanschluß und mit einer zweiten Klemme (A2) mit der dritten Klemme (K3) der Stromquellenschaltung verbunden ist.

4. Ansteuerschaltung nach Anspruch 3, dadurch gekennzeichnet, daß die Steuerschaltung (SS) eine dritte Klemme (A3) aufweist, die mit der Ausgangsklemme (AK) verbunden ist.

5. Ansteuerschaltung nach einem der Ansprüche 3 oder 4, dadurch gekennzeichnet, daß die Steuerschaltung (SS) folgende Merkmale aufweist:

- einen ersten Transistor (T1), der mit einer Laststrecke (C-E) zwischen der ersten und zweiten Klemme (A1, A2) der Steuerschaltung verschaltet ist;
- eine Stromsenke (S), die zwischen einem Steueranschluß (B) des ersten Transistors (T1) und der ersten Klemme (A1) verschaltet ist;
- eine Zenerdiode (D3), die mit einer Anode mit der ersten Klemme (A1) verbunden ist und die mit einer Kathode über eine Kapazität (C) mit dem Steueranschluß (B) des ersten Transistors (T1) verbunden ist;
- einen vierten Widerstand (R4) der mit einer ersten Klemme mit einer der Kapazität (C) und der Zenerdiode (D3) gemeinsamen Klemme verbunden ist.

6. Ansteuerschaltung nach Anspruch 5, dadurch gekennzeichnet, daß die Steuerschaltung (SS) einen zweiten Transistor (T2) aufweist, der mit einer Laststrecke (C-E) zwischen einer vierten Klemme (A4) und einer zweiten Klemme des vierten Widerstands (R4) verschaltet ist und der mit einer Steuerelektrode (B) an die zweite Klemme (A2) angeschlossen ist, wobei die vierte Klemme (A4) mit dem Versorgungsanschluß verbunden ist.

7. Ansteuerschaltung nach Anspruch 6, dadurch gekennzeichnet, daß ein fünfter Widerstand (R5) der Steuerschaltung (SS) zwischen der zweiten Klemme des ersten Widerstands (R4) und der dritten Klemme (A3) der Steuerschaltung (SS) verschaltet ist.

8. Ansteuerschaltung nach Anspruch 5, dadurch gekennzeichnet, daß die zweite Klemme des vierten Widerstands (R4) mit der dritten Klemme (A3) der Steuerschaltung (SS) verbunden ist.

9. Ansteuerschaltung nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß die Stromsenke (S) ein Widerstand ist.

10. Ansteuerschaltung nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, daß die Stromsenke ein Stromquelle ist.

11. Ansteuerschaltung nach einem der Ansprüche 3 bis 10, dadurch gekennzeichnet, daß eine zweite Zenerdiode (D4) zwischen der ersten und zweiten Klemme (A1, A2) der Steuerschaltung (SS) verschaltet ist.

12. Ansteuerschaltung nach einem der Ansprüche 3 bis 11, dadurch gekennzeichnet, daß die Schalteranordnung (SA) eine vierte Klemme (P4) aufweist, die mit der dritten Klemme (K3) der Stromquellenschaltung (IS) verbunden ist.

13. Schalteranordnung nach einem der Ansprüche 3 bis 12, dadurch gekennzeichnet, daß die Stromquellenschaltung (IS) folgende Merkmale aufweist:

- eine Stromquelle (I_0), die mit einer ersten Klemme mit dem Versorgungsanschluß und mit einer zweiten Klemme mit der Steuerelektrode (B) eines dritten Transistors (T3) verbunden ist, der mit einer ersten Elektrode (C) mit dem Versorgungsanschluß und mit einer zweiten Elektrode (E) über einen Widerstand (R2) mit der zweiten Klemme (K2) verbunden ist;
- einen vierten Transistor (T4) der mit einer Steuerelektrode (B) mit der zweiten Elektrode (E) des dritten Transistors (T3) verschaltet ist und der mit einer Laststrecke (C-E) zwischen der ersten und zweiten Klemme (K1, K2) der Steuerschaltung (SS) verschaltet ist.

14. Verwendung einer Ansteuerschaltung nach einem der Ansprüche 1 bis 13 zur Ansteuerung eines Feldeffekttransistors (T8) in einem Schaltnetzteil.

15. Verfahren zur Ansteuerung eines Halbleiterschalters mit einer durch eine Ansteuerschaltung erzeugten Ausgangsspannung, die zwischen einem oberen und einem unteren Signalpegel variiert, dadurch gekennzeichnet, daß ein Spannungsanstieg der Ausgangsspannung von dem unteren Spannungspegel (L) zu dem oberen Spannungspegel (H) innerhalb wenigstens eines einer unteren und oberen Intervallgrenze aufweisenden Spannungsintervalls verlangsamt gegenüber dem Spannungsanstieg unterhalb und oberhalb dieser Intervallgrenzen erfolgt.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß die untere Intervallgrenze eine Schwellenspannung eines Feldeffekttransistors ist.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

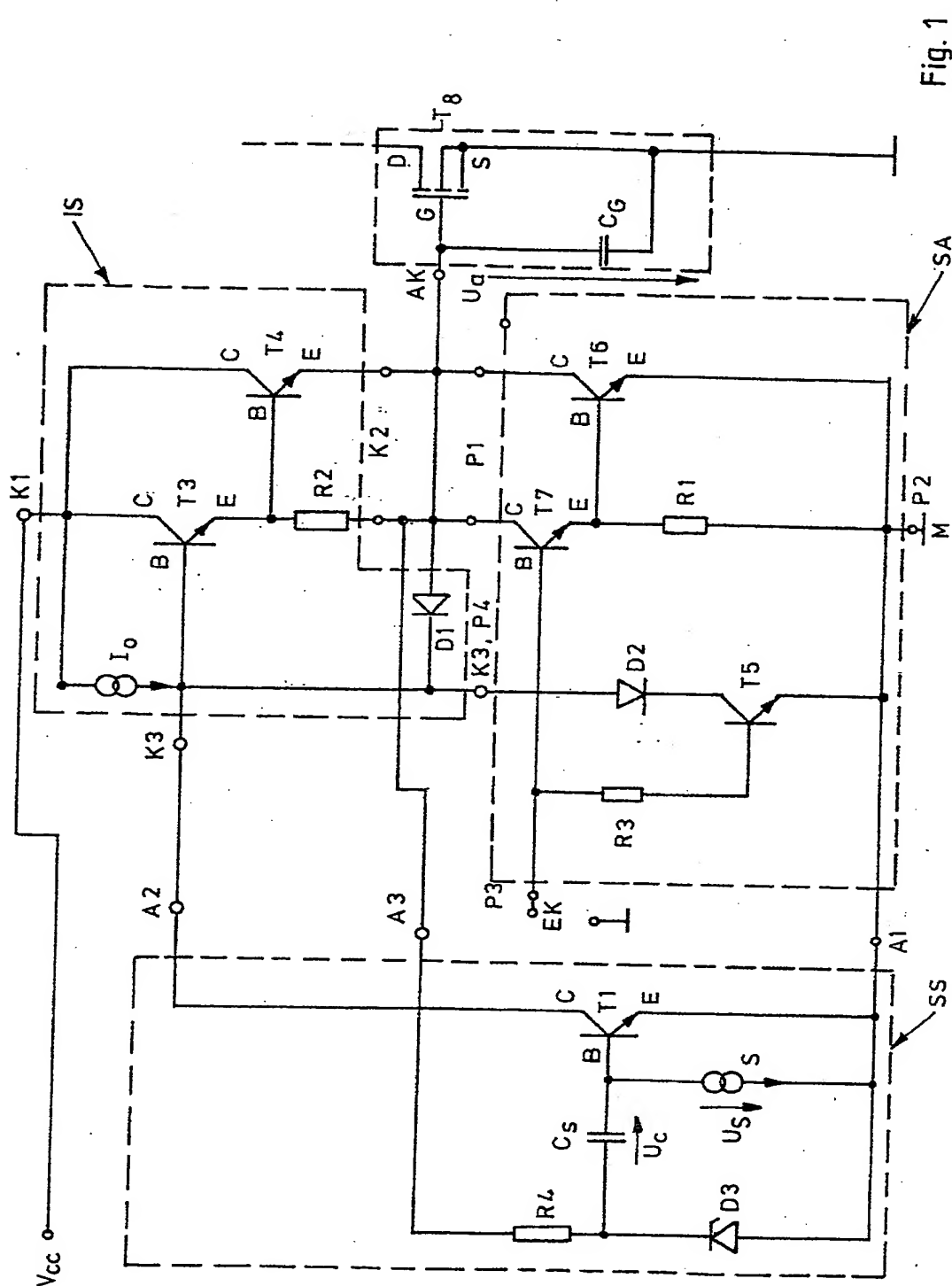


Fig. 1

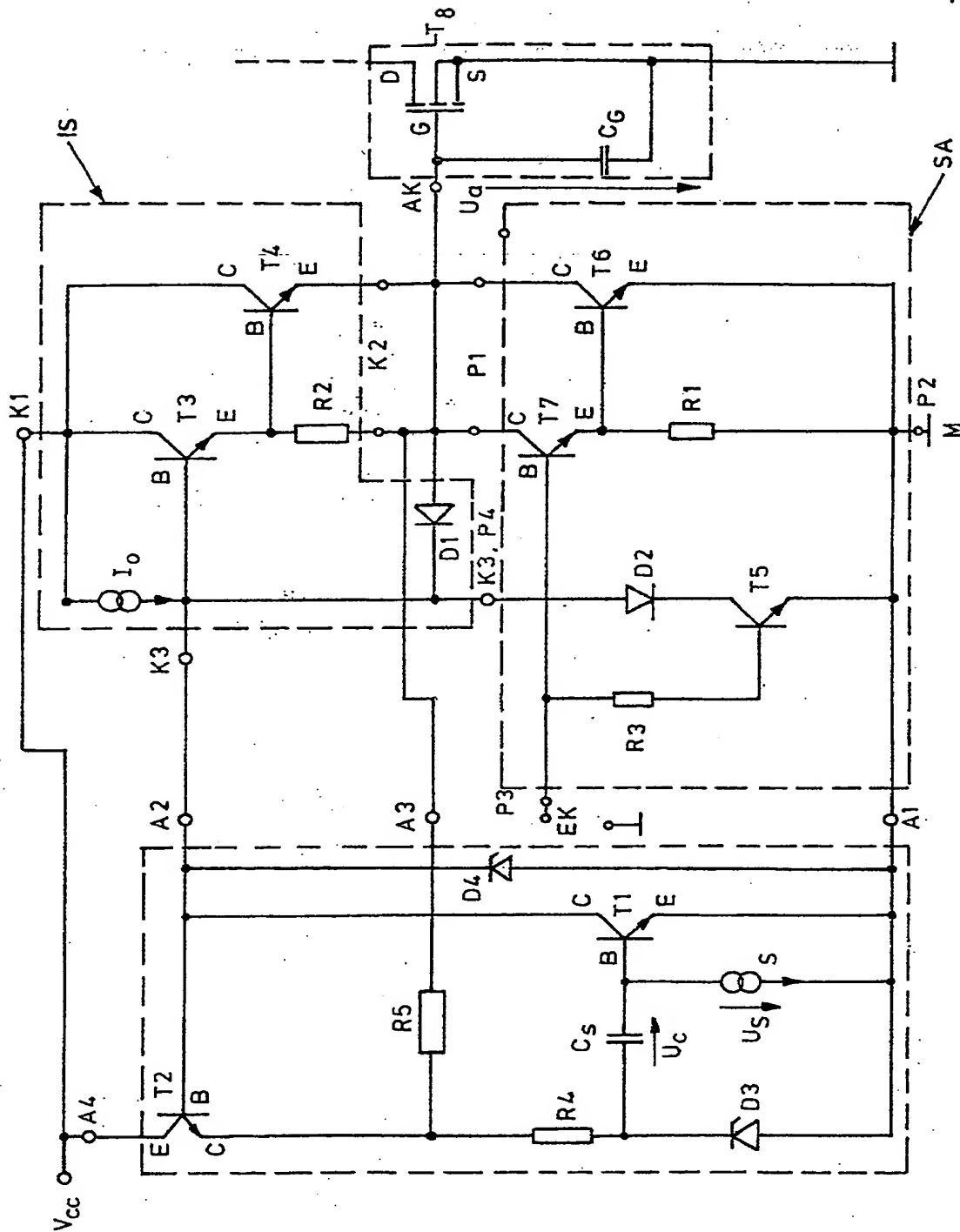


Fig. 2

THIS PAGE BLANK (USPTO)

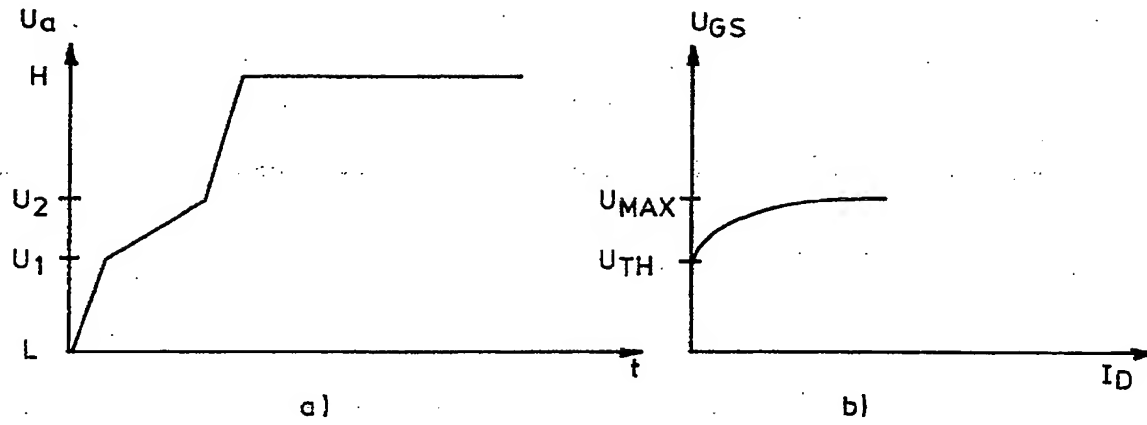


Fig. 3

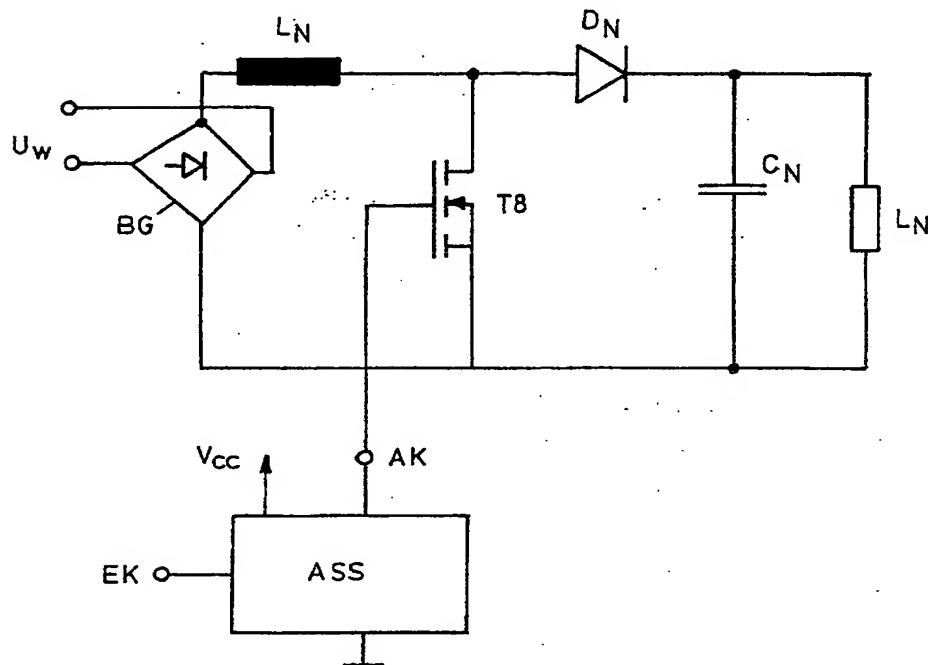


Fig. 4

THIS PAGE BLANK (USPTO)